

PATENT

Customer No. 22,852

Attorney Docket No. 05225-0196

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Yuichi KOGA

Serial No.: 09/808,367

Filed: 03/15/2001

For: An Apparatus and Method for  
Controlling Access to a Memory  
System for Electronic Equipment

) Group Art Unit: 2818

) Examiner: Unknown

RECEIVED  
AUG 08 2001  
Technology Center 2100

TC 2800 MAIL ROOM

RECEIVED  
MAY 22 2001

Assistant Commissioner for Patents  
Washington, DC 20231

CLAIM FOR PRIORITY

Sir:

Applicants have, under the provisions of Section 119 of 35 U.S.C., claimed the benefit of the filing date of Japan Patent Application Number P2000-073414, filed March 16, 2000, for the above-identified United States Patent Application.

In support of Applicant's claim for priority, a certified copy of the priority application is filed herewith.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,  
GARRETT & DUNNER, L.L.P.

Dated: May 18, 2001

By: Robert F. Rotella

Robert F. Rotella  
Reg. No. 24,014



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日

Date of Application:

2000年 3月16日

出願番号

Application Number:

特願2000-073414

願人  
Applicant(s):

株式会社東芝

RECEIVED

AUG 08 2001

Technology Center 2100

RECEIVED

MAY 22 2001

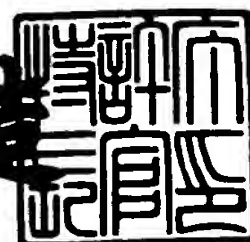
TC 2300 MAIL ROOM

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 1月19日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3112711

【書類名】 特許願

【整理番号】 3KA99X0131

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/00

【発明の名称】 電子機器及び電子機器の基板

【請求項の数】 13

【発明者】

    【住所又は居所】 東京都青梅市末広町2丁目9番地 株式会社東芝 青梅工場内

    【氏名】 古賀 裕一

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100083161

    【弁理士】

    【氏名又は名称】 外川 英明

    【電話番号】 (03)3457-2512

【手数料の表示】

    【予納台帳番号】 010261

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子機器及び電子機器の基板

【特許請求の範囲】

【請求項 1】 基板上に複数のメモリモジュールが直列状に配置されるメモリシステムを具備した電子機器において、

基板上に直接実装される第一のメモリモジュールと、

基板上に設けられたメモリスロットと、

前記メモリスロットに実装される第二のメモリモジュールと、

前記第一及び第二のメモリモジュールの動作を制御するメモリコントローラとを具備したことを特徴とする電子機器。

【請求項 2】 前記第一のメモリモジュールは、前記第二のメモリモジュールよりも前記メモリコントローラに位相的に近い場所に配置されることを特徴とする請求項 1 記載の電子機器。

【請求項 3】 前記電子機器は更に、前記複数のメモリモジュールの動作周波数を制御するメモリ動作周波数制御手段を具備し、

前記制御手段は、実装されたメモリモジュールの動作周波数に共通のものがない場合、メモリ動作周波数制御手段の設定を前記第一のメモリモジュールにあわせて設定することを特徴とする請求項 1 記載の電子機器。

【請求項 4】 前記電子機器は更に、前記複数のメモリモジュールの動作周波数を制御する動作周波数制御手段を具備し、

前記制御手段は、前記第一のメモリモジュールと異なる動作周波数を有する前記第二のメモリモジュールが実装された場合、前記動作周波数制御手段の設定を、前記第一のメモリモジュールと前記第二のメモリモジュールが共通で動作可能な動作周波数に設定することを特徴とする請求項 1 記載の電子機器。

【請求項 5】 前記電子機器は更に、前記複数のメモリモジュールの動作周波数を制御するメモリ動作周波数制御手段を具備し、

前記制御手段は、実装されたメモリモジュールの動作周波数に共通のものがある場合、メモリ動作周波数制御手段の設定を当該共通の動作周波数に設定するか、又は実装されたメモリモジュールのうち、最も高速の動作周波数にあわせて設

定することを特徴とする請求項 1 記載の電子機器。

【請求項 6】 前記電子機器は更に、ユーザからの設定を入力する設定入力手段を具備し、前記制御手段は、前記設定入力手段からの入力に従い、メモリ動作周波数制御手段の設定を共通の動作周波数に設定するか、高速の動作周波数にあわせて設定することを特徴とする請求項 5 記載の電子機器。

【請求項 7】 前記制御手段は、実装されたメモリモジュールの中に動作不良を起こす不良メモリモジュールが含まれている場合、当該不良メモリモジュールを使用しないように設定することを特徴とする請求項 1 記載の電子機器。

【請求項 8】 前記電子機器は更に、メッセージを出力する出力手段を具備し、前記不良メモリモジュールの実装位置に関する情報を出力することを特徴とする請求項 7 記載の電子機器。

【請求項 9】 前記電子機器は更に、前記第一のメモリモジュールに関する情報を格納した不揮発性記憶手段を具備することを特徴とする請求項 1 記載の電子機器。

【請求項 10】 前記不揮発性記憶手段は前記第一のメモリモジュールに搭載されていることを特徴とする請求項 9 記載の電子機器。

【請求項 11】 前記不揮発性記憶手段は、BIOS-ROMであることを特徴とする請求項 9 記載の電子機器。

【請求項 12】 複数のメモリモジュールを直列状に実装する電子機器の基板において、

第一のメモリモジュールを当該基板上に直接実装するためのメモリ実装部と、

第二のメモリモジュールを実装するためのスロットと、

前記複数のメモリモジュールの動作が制御可能であるメモリコントローラを実装するコントローラ実装部と、

前記メモリ実装部とスロット、及びコントローラ実装部間を接続するメモリバスの配線とを具備することを特徴とする基板。

【請求項 13】 前記メモリ実装部は、前記メモリモジュールスロットよりも前記コントローラ実装部に位相的に近い場所に配置されることを特徴とする請求項 12 記載の基板。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、メモリを実装する電子機器に係わり、特に、メモリを直列状に配置するメモリシステムを具備した電子機器及びその基板に関する。

## 【0002】

## 【従来の技術】

近年のパーソナルコンピュータに代表される電子機器の普及は著しい。電子機器の用途が多様化し、ユーザからは電子機器の処理速度の向上や、取り扱うことができるデータ量を増やすことが求められていた。処理速度の向上については、電子機器に内蔵されるCPUの動作クロック周波数の向上や、メモリの動作周波数、バスの動作周波数の向上により実現されている。また、取り扱いデータ量の増加に対しては、メモリを増設することで対応可能である。

## 【0003】

このメモリには、先述のように、動作周波数が設定されている。従来はメモリの動作周波数は66MHzのものが多かったが、処理速度の向上が求められているため、動作周波数が数100MHzのメモリシステムが開発されるようになった。動作周波数が大きくなり、動作速度が高速になるにつれて、回路上で生じる反射や、電氣的ノイズの問題が重要になってきている。

## 【0004】

この問題への対策として、反射のもととなる分岐を持たないメモリバスによる、メモリシステムが考案されている。図4と、図5を参照して以下の通り説明する。図4は従来の低速メモリシステムの配線の概略を示すものである。401はメモリコントローラであり、後述するメモリモジュールの動作を制御する。402、403、404はそれぞれスロットであり、メモリモジュール405、406、407をそれぞれ装着する。メモリコントローラ401と各モジュールはそれぞれ配線で接続されている。丸で囲んだ部分は、配線における分岐点を示す。図4に示す従来の低速メモリシステムのように、複数のメモリモジュールを装着するために、配線上に分岐部分を有するメモリシステムでは、高速化が進むにつ

れて、この分岐部分に起因する反射の要素によって、システムの正常な動作が阻害されるおそれがある。

#### 【0005】

図5はこれらの問題を回避するための高速メモリシステムのメモリバス配線の概略を示すものである。501は後述するメモリモジュールの動作を制御するメモリコントローラである。502、503、504はそれぞれスロットであり、メモリモジュール505、506、507をそれぞれ装着する。また、508はターミネータであり、配線の終端部に設置され、配線終端部での信号の反射を防ぐ役割を果たす。このように、スロットやメモリモジュールを直列状（デ이지チェーン）に接続していくことで、配線に分岐を持たず、反射の要素を減らした、高速動作が可能となるメモリシステムを実現することが出来るようになる。このような高速メモリシステムの一つに、米国ラムバス社が提唱する、“ラムバスDRAM”がある。（なお、このラムバスDRAMに関する技術的情報は、CQ出版社「Interface」誌、1999年4月号からの連載記事に開示されている。）

ところで、メモリモジュールの基板への実装方法として、基板上に直接メモリモジュールを実装する、いわゆるオンボードメモリのタイプと、メモリモジュールを基板上に設けられたスロットに差し込むことにより、メモリを実装するスロットタイプとがある。

#### 【0006】

これらのタイプには次に述べるように、それぞれ一長一短がある。即ち、オンボードメモリタイプでは、電子機器の生産段階でメモリモジュールの実装がなされるため、ユーザが後から自分でメモリモジュールを交換したりすることは困難である。しかし、生産の過程で基板上へメモリモジュールを実装するため、コストの低減や、品質の保証が容易、といった利点がある。スロットタイプの場合、これとは逆に、ユーザが後から自分でメモリモジュールの交換等を行うことが可能であるが、コスト高を招いたり、ユーザの選択したモジュールに不良がある場合など、生産段階及び品質保証の面で困難が発生しうる。

#### 【0007】

従来、ラムバスメモリシステムに代表される高速メモリシステムでは、メモリモジュールをシステム基板上にオンボードタイプで実装することは前提としておらず、スロットを基板上に設け、このスロットにメモリモジュールを装着するシステムを推奨していた。このため、実装面積の増加や、コスト高を招いていた。

【0008】

【発明が解決しようとする課題】

上記した技術には、スロットタイプだけの実装では、実装面積の増加や、コスト高を招く、という問題があった。

【0009】

そこで、本発明は上記の問題を解決するためになされたものであり、実装方法の異なる複数のメモリを実装することにより、電子部品の実装面積が少なく、製造コストも低い電子機器及び電子機器の基板を提供することを目的とする。

【0010】

【課題を解決するための手段】

この発明は、基板上に複数のメモリモジュールが直列状に配置されるメモリシステムを具備した電子機器であって、基板上に直接実装される第一のメモリモジュールと、基板上に設けられたメモリスロットと、前記メモリスロットに実装される第二のメモリモジュールと、前記第一及び第二のメモリモジュールの動作を制御するメモリコントローラとを具備することを特徴とする。

【0011】

このような構成によれば、電子部品の実装面積が少なく、製造コストも低い電子機器を提供することができる。

【0012】

また、この発明は、複数のメモリモジュールを直列状に実装する電子機器の基板であって、第一のメモリモジュールを当該基板上に直接実装するためのメモリ実装部と、第二のメモリモジュールを実装するためのスロットと、前記複数のメモリモジュールの動作が制御可能であるメモリコントローラを実装するコントローラ実装部と、前記メモリ実装部とスロット、及びコントローラ実装部間を接続するメモリバスの配線とを具備することを特徴とする。



## 【0013】

このような構成によれば、電子部品の実装面積が少なく、製造コストも低い電子機器の基板を提供することができる。

## 【0014】

## 【発明の実施の形態】

以下、図面を参照してこの発明の実施形態を説明する。図1は、本願発明の主要部を示す概略図である。121は後述するメモリモジュールの動作を制御するメモリコントローラである。13は、オンボードタイプのメモリモジュールである。15、17はそれぞれスロットであり、メモリモジュール14、16をそれぞれ装着する。また、18はターミネータであり、配線の終端部に設置され、配線終端部での信号の反射を防ぐ役割を果たす。メモリバス4がメモリコントローラ121と、各メモリモジュール及びターミネータ18を直列状（デージーチェーン）に接続する。このように、メモリモジュールを直列状に接続していくのは従来の高速メモリシステムと共通する。しかし、本発明の実施形態では、従来は行われなかったオンボードタイプのメモリモジュールとスロットタイプのメモリモジュールを併用している。これら異なるタイプの実装方法について、先述の特徴を考慮した上で、オンボードメモリタイプとスロットタイプの実装を混在させることで、それぞれの特徴を生かすようにすることが可能である。

## 【0015】

ただし、先に述べたような、メモリモジュールが直列状に接続された電子機器のメモリシステムを、オンボードメモリタイプとスロットタイプを併用して形成する場合、次のような問題が生じうる。すなわち、実装のタイプが混在する場合、特にスロットタイプにおいて不良モジュールを装着してしまう可能性が高く、このような事態が発生した場合、電子機器の動作が出来なくなる可能性がある。

## 【0016】

そこで、オンボードタイプのメモリモジュール13をメモリコントローラ121に位相的に一番近い所に配置する。直列状に複数のメモリモジュールを実装するシステムにおいて、メモリコントローラに位相的に近いところにあるメモリモジュールほどシステムの正常動作に関する影響が大きくなるためである。

## 【0017】

これは、直列状の接続において、メモリコントローラに位相的に近いところにメモリモジュールの不良品が実装された場合、メモリコントローラから見て、そのモジュールよりも位相的に遠いところ、すなわち末端部方向に正常なメモリモジュールが実装されていたとしても、不良品から先のメモリモジュールは使用できない状態になることが多いことによる。

## 【0018】

まず、電子機器のメーカーが実装するので、品質をコントロールしやすいオンボードタイプのメモリモジュール13をメモリコントローラ121に位相的に近いところに配置する。また、ユーザが交換可能で、品質保証がしづらいスロットタイプのメモリモジュール14、16はオンボードタイプのメモリモジュール13よりも、メモリコントローラ121から位相的に遠いところに配置する。このように各メモリモジュールの実装位置を実装方法の違いにより、予め所定の関係に設定することで、正常な動作を保証しやすくすることができる。もちろん、先に述べた通り、オンボードタイプの実装は、スロットが不要になるため、基板上の実装面積の削減、コストダウンに有効である。

## 【0019】

図2は本願発明の1実施形態に係わる電子機器の構成を示す図である。この電子機器は、例えば、いわゆるラップトップタイプやノートブックタイプ等のパーソナルコンピュータであり、この電子機器は図示するように、CPUバス（プロセッサバス）1、PCIバス2、ISAバス3、メモリバス4、CPU11、ホスト-PCIブリッジ12、メモリ13、14、16、スロット15、17、ターミネータ18、アナログスイッチ30、31、32、PCI-ISAブリッジ19、グラフィックコントローラ20、モニタ21、BIOS-ROM22などを具備している。

## 【0020】

CPU11は本システム全体の動作を制御するためのものであり、システムBIOS及びオペレーティングシステム（以下OSと称する）をはじめ、各種アプリケーションプログラムを実行する。

## 【0021】

ホスト-PCIブリッジ12は、CPUバス1とPCIバス2を双方向で接続するブリッジ装置であり、ここには基板上に直接実装されたメモリ13、スロット15、17にそれぞれ実装されたメモリ14、16をアクセス制御するためのメモリコントローラ121が内蔵されている。メモリ13は実装されるメモリのうち、位相的にメモリコントローラ121に一番近い場所にある。メモリ14、16はそれぞれスロット15、17により基板上に実装されるが、メモリ13に比してメモリコントローラから位相的に遠い場所に実装される。

## 【0022】

これらメモリには動作周波数の違いによって異なる種類があるのは上述した通りである。

## 【0023】

メモリ13、14、16は実装された状態で、図示するようにメモリバス4により、直列状（デイジーチェーン）に接続されている。

## 【0024】

メモリ13はこの電子機器の製造段階で実装され、後にユーザが交換したり、拡張を行ったりすることはできない。一方、メモリ14、16も、電子機器の製造段階でスロット15、17に実装されるが、後にユーザがメモリを交換することが可能である。異なる動作周波数でのメモリであっても、実装可能となっている。

## 【0025】

メモリコントローラ121によるメモリ13、14、16へのアクセスは、メモリバス4を介して行われる。メモリコントローラ121はメモリバス4を介して、メモリ13、14、16との情報のやり取りを行う。

## 【0026】

メモリ13、14、16は、それぞれ基板とその上に実装された複数のチップから構成されている。また、メモリ13、14、16にはそれぞれEEPROM131、141、161が設けられている。これらEEPROM131、141、161は、対応するメモリモジュールの属性情報（許容動作周波数や、メモリ

サイズ、製造元など)を記憶したメモリである。

【0027】

各メモリの実装部からは、それぞれ、実装されたメモリ13、14、16のEPROM131、141、161からデータを読み取るための信号線路が導出されており、これら信号線路はアナログスイッチ17、18を介して、PCI-ISAブリッジ19に接続されている。EEPROM131、141、161からデータを読み取るための信号線路としては、 $I^2C$ バスなどのシリアルバスを利用することができる。

【0028】

アナログスイッチ30、31、32のオン/オフは、PCI-ISAブリッジ19内のスイッチ制御回路191からのスイッチ信号によって制御される。アナログスイッチ30、31、32を順番にオン/オフすることにより、EEPROM131、141、161を順にアクセスすることができる。

【0029】

このような $I^2C$ バスを介したEEPROM131、141、161からのデータ読み取りは、本実施形態ではメモリモジュールの動作周波数を読み取るために用いられる。このようにメモリバスとは独立した信号線路を利用してメモリモジュールの動作周波数を読み取ることにより、メモリバスの動作設定前でも、EEPROM131、141、161に対するアクセスについては正常に行うことが出来る。

【0030】

PCI-ISAブリッジ19は、PCIバスとISAバス3を双方向で接続するブリッジ装置であり、ここには $I^2C$ バスを介してEEPROM131、141、161をリードアクセスするためのロジックや、前述のアナログスイッチ30、31、32をオン/オフ制御するためのスイッチ制御回路191が設けられている。EEPROM131、141、161に対するリードアクセス、及びアナログスイッチ30、31、32のオン/オフ制御は、BIOS-ROM22に格納されているシステムBIOS (Basic I/O System) によって実行される。

## 【0031】

グラフィックコントローラ20は、モニタ21を制御するためのものであり、OSやアプリケーションプログラムによって提供される画面をモニタ21上に表示する。本実施形態においてはグラフィックコントローラ20はシステムBIOSの制御の下、後述するメッセージ表示も行う。

## 【0032】

BIOS-ROM22は、システムBIOSを記憶するためのものであり、プログラムの書き替えが可能なようにフラッシュメモリによって構成されている。システムBIOSは、リアルモードで動作するように構成されている。このシステムBIOSには、システムのパワーオン時や再起動時に実行されるPOST (Power-ON Self Test) ルーチンと、各種I/Oデバイスを制御するためのデバイスドライバと、システム環境を設定するためのBIOSセットアップルーチンと、各種SMI処理を実行するためのシステム管理プログラム(ランタイム)が含まれている。POSTルーチンには、通常のハードウェアチェック及び初期化のためのルーチンに加え、メモリの属性や動作周波数をチェックするルーチンや、システムに適切でない動作周波数のメモリモジュールが実装されている場合のメッセージを画面表示するためのルーチンが含まれている。

## 【0033】

このような構成を有する電子機器の動作について図3のフローチャート図を参照して以下の通り説明する。電子機器の電源が投入されると、まず、システムBIOSが起動され、POSTの処理が開始される(ステップS101)。すなわち、システムBIOSは、まず、アナログスイッチ30、31、32を順番にオンすることにより、メモリモジュール13、14、16中のEEPROMからデータをリードする(ステップS102)。この動作により実装された各メモリモジュールに不良がないかどうか判別することができ、また、各メモリモジュールがどのような属性を有するかを読み取ることができる。

## 【0034】

続いてシステムBIOSはリードしたデータに基づき、各メモリモジュールに不良品が混在しているかどうか判定する(ステップS103)。ここで、実装さ

れているメモリモジュールに不良品が混在している場合、その不良品がオンボードタイプのメモリモジュールかどうかを判定する（ステップS104）。ここで、オンボードタイプのメモリモジュールが不良品の場合、立ち上げを中止する（ステップS104のYesからステップS105）。

【0035】

これは、本電子機器のメモリシステムにおいて、メモリモジュールは直列状に配置されているためである。本実施形態では、複数のメモリモジュールが直列状に配置されている中で、オンボードタイプのメモリモジュールが一番メモリコントローラに位相的に近いところに配置されている。ここでオンボードタイプのメモリモジュールに不良品があった場合、その先に直列状に接続されたスロットタイプのメモリモジュールが正常であっても、メモリシステムとしての正常動作が保証できない。そのため、オンボードタイプのメモリモジュールが不良品であると判定された場合、システムの立ち上げ自体を中止する。

【0036】

また、このとき、エラーメッセージをモニタ21に対して表示したり、ピープ音でユーザに対して通知するようにすることも可能である。このメッセージには、不良品のメモリモジュールが実装されていることを示して、立ち上げを停止した理由をユーザに通知したり、不良品と判定されたメモリモジュールの交換を促すメッセージを付加することも可能である。ユーザはこれらのメッセージにより、不良品の混在を知ることができ、修理依頼を行うことが可能となる。

【0037】

ステップS104において、不良品がオンボードタイプのものでなく、スロットに装着されたメモリモジュールであると判定された場合、その旨メッセージを表示（ステップS104のNoからステップS108）し、オンボードメモリのみを使用してシステムを立ち上げる（ステップS109）。

【0038】

ステップS103において、BIOSが各メモリモジュールに不良品が存在しないと判別した場合、BIOSは続いてステップS102で読み出したデータに基づき、各モジュールの動作周波数が共通であるかどうか、判別する（ステップ

S 1 0 3 の N o からステップ S 1 0 6 ) 。ここで、B I O S が各モジュールの動作周波数が共通であると判別した場合、B I O S は各メモリモジュール内のレジスタ ( 図示せず ) に、共通動作が可能な動作周波数の値をセットし、システムの立ち上げを継続する ( ステップ S 1 0 6 の Y e s からステップ S 1 0 7 ) 。

【 0 0 3 9 】

ステップ S 1 0 6 において、システム B I O S が、実装されているメモリモジュールの中に、動作周波数が共通でないメモリモジュールが含まれていると判別した場合、システム B I O S はその旨のメッセージを表示する ( ステップ S 1 0 6 の N o からステップ S 1 0 8 ) 。システム B I O S はこの場合、メッセージを表示した後、オンボードメモリの動作周波数をメモリシステムの動作周波数として優先的に設定し、立ち上げを行う ( ステップ S 1 0 9 ) 。

【 0 0 4 0 】

また、本発明の他の実施形態として、先述のフローチャート図 3 のステップ S 1 0 6 において、動作周波数の設定の仕方を変更することも可能である。スロットタイプのメモリモジュール 1 4 、 1 6 の動作周波数が、オンボードタイプのメモリモジュール 1 3 の動作周波数より低く、オンボードタイプのメモリモジュール 1 3 がメモリモジュール 1 4 、 1 6 の動作周波数でも動作可能である場合を例に挙げる。

【 0 0 4 1 】

この場合、メモリシステムとしては 2 通りの方針をとることができる。第一の方針は、メモリ容量を優先する方針である。この場合、メモリモジュール 1 3 の動作周波数をメモリモジュール 1 4 、 1 6 の動作周波数に合わせる。動作周波数は低くなるが、メモリ容量を確保することが可能である。

【 0 0 4 2 】

第二の方針は、動作周波数を優先する方針である。この場合、メモリモジュール 1 4 、 1 6 を不使用とし、メモリモジュール 1 3 を高い動作周波数で使用する。メモリ容量は減少するが、動作周波数を高くすることが可能である。これら 2 つの方針、すなわちメモリ容量を優先するか、動作周波数を優先するかはユーザが選択することも可能である。

【 0 0 4 3 】

立ち上げ途中にこれらの設定を選択しようとする場合は、ステップ S 1 0 8 の後に、ユーザに選択を促し、選択結果の入力を待つステップを追加すれば良い。その後の処理はユーザの選択結果に基づいた設定を行う。

【 0 0 4 4 】

なお、本発明の実施形態において、オンボードタイプのメモリモジュール 1 3 について、メモリモジュールの情報（容量や保証動作周波数など）を予め B I O S - R O M 2 2 に格納しておくことも可能である。これは、オンボードタイプのメモリモジュール 1 3 を実装するメーカーが、前もって、メモリモジュール 1 3 の情報をシステムに格納しておくことになる。このようにすれば、メモリモジュール 1 3 に E E P R O M 1 3 1 を搭載する必要がなくなり、これまで述べた効果に加え、更なる実装面積の削減、部品単価の削減という効果が得られる。

【 0 0 4 5 】

本発明の実施形態においては、システム B I O S がメモリモジュールに関する種々の処理を行っているが、他のファームウェアで実現することも可能である。また、本発明の実施形態において、電子機器としてコンピュータシステムを例に挙げたが、もちろん他の電子機器にも応用が可能である。

【 0 0 4 6 】

【発明の効果】

以上説明したように、この発明によれば、電子部品の実装面積を削減し、製造コストを減らすことができる。

【図面の簡単な説明】

【図 1】 本発明の実施形態に関わるメモリシステムの構成を示す概略図。

【図 2】 本発明の実施形態に係わる電子機器のシステム構成を示すブロック図。

【図 3】 本発明の実施形態に係わる電子機器の立ち上げ動作を示すフローチャート図。

【図 4】 従来の低速メモリシステムの構成を示す概略図。

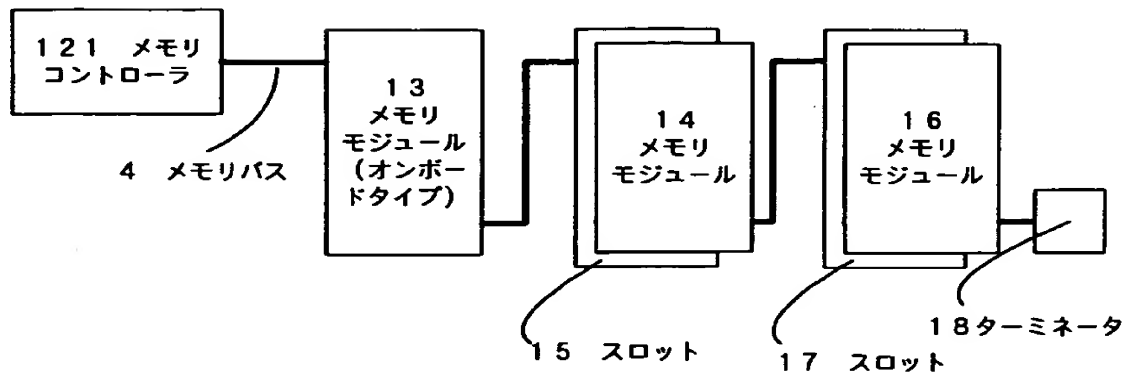
【図 5】 従来の高速メモリシステムの構成を示す概略図。



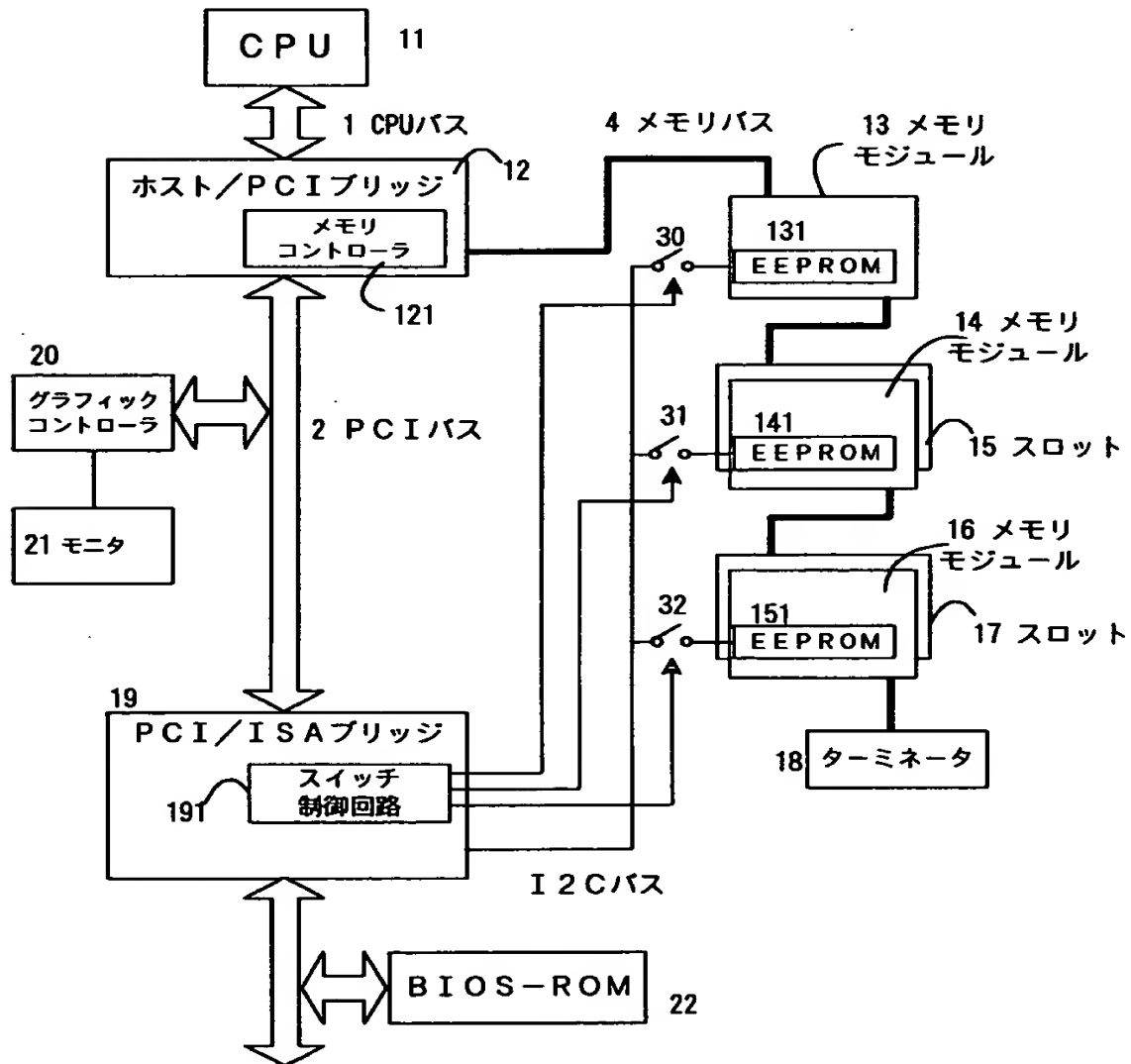
【符号の説明】 1…CPUバス、2…PCIバス、3…ISAバス、4…メモリバス、11…CPU、12…ホスト／PCIブリッジ、13…メモリモジュール、15、17…スロット、14、16…メモリモジュール、131、141、161…EEPROM、18…ターミネータ、19…PCI／ISAブリッジ、191…スイッチ制御回路、20…グラフィックコントローラ、21…モニタ、22…BIOS-ROM、30、31、32…アナログスイッチ

【書類名】 図面

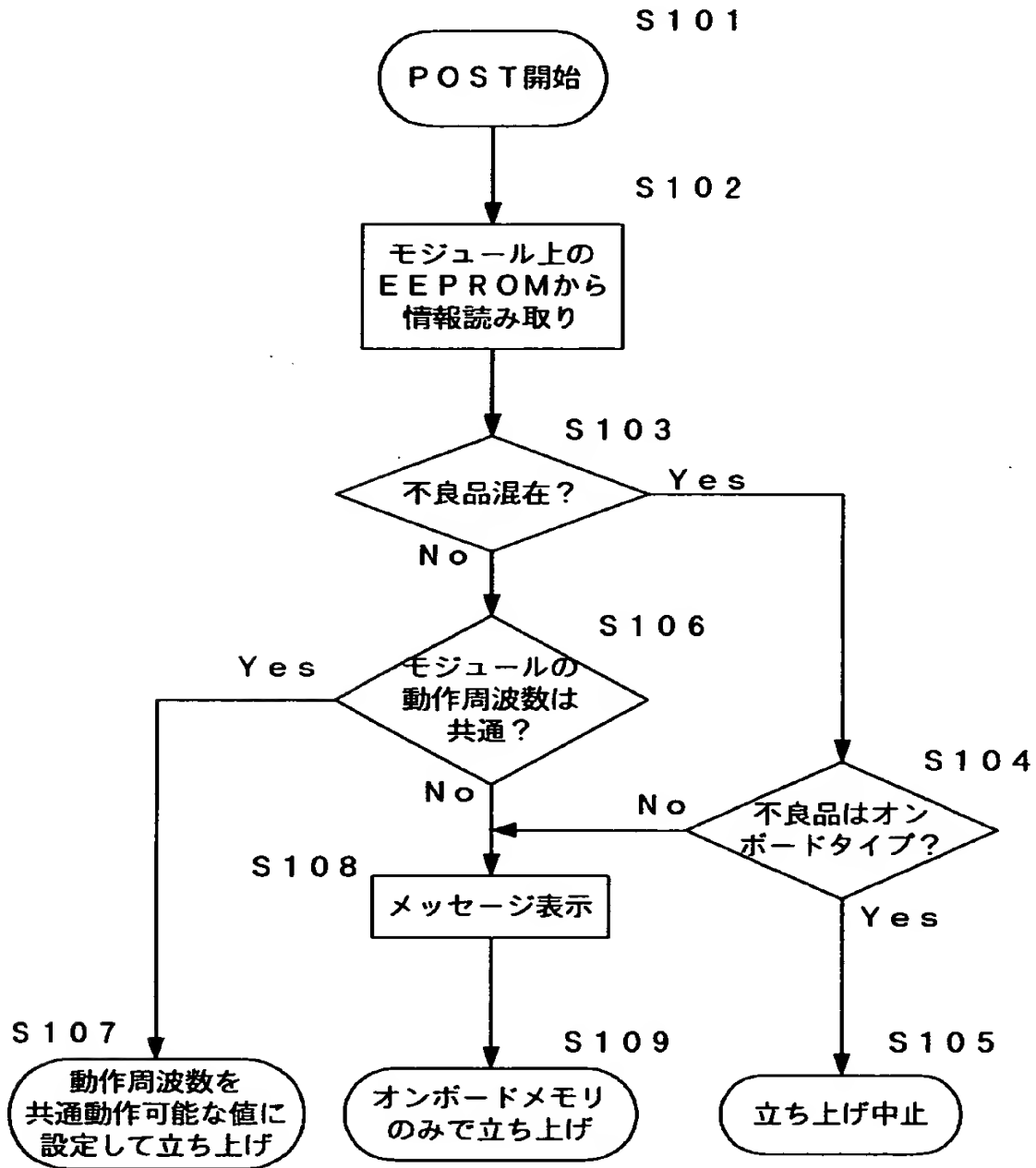
【図 1】



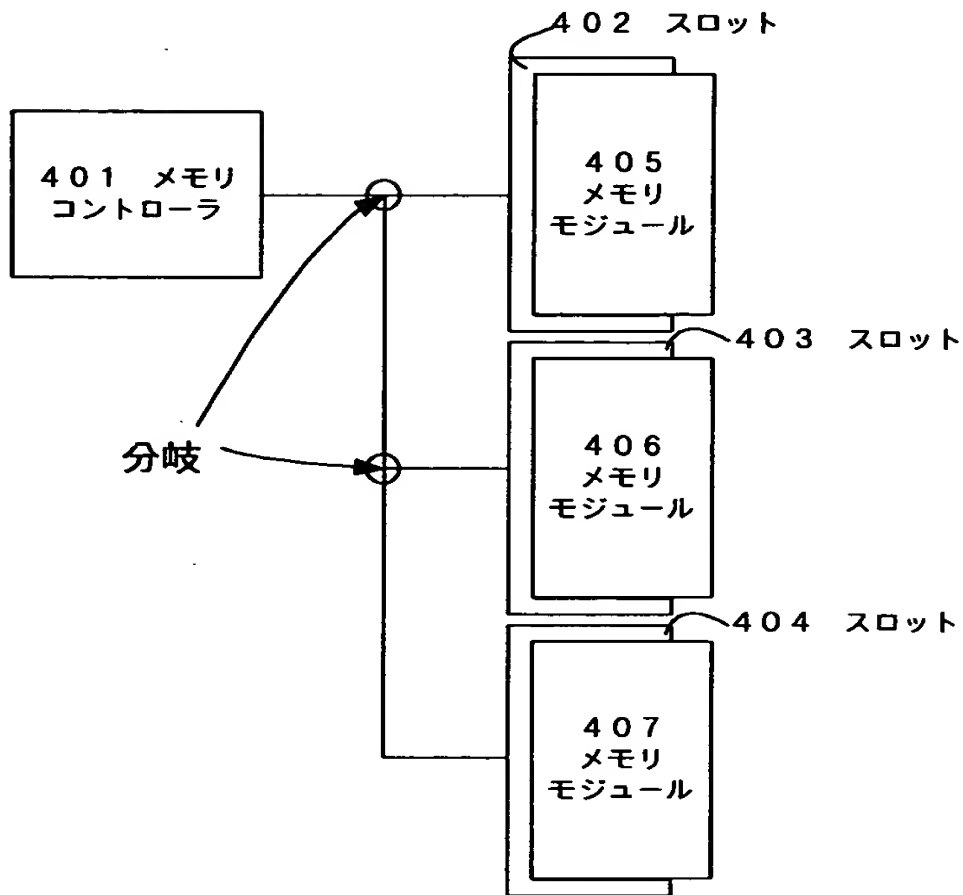
【図 2】



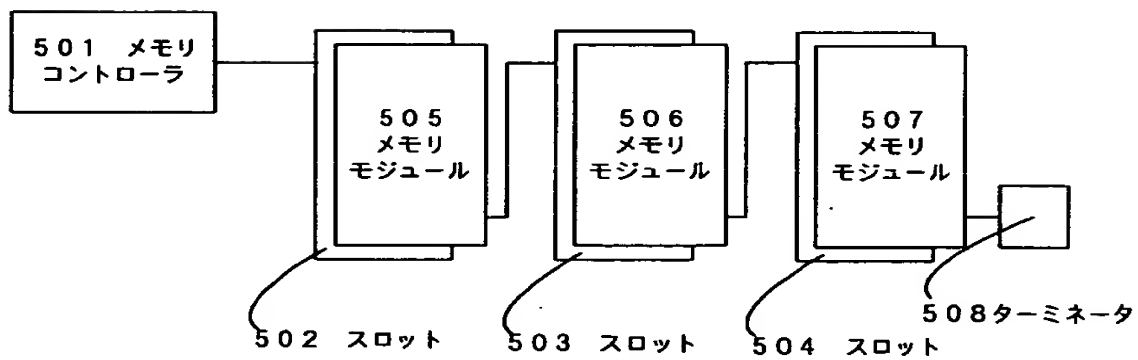
【図 3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 電子機器のメモリシステムにおいて、直列状にメモリを実装する際、従来はスロットに挿入して実装するタイプのメモリの使用がなされ、実装面積の増大や、コスト高をまねいていた。

【解決手段】 電子機器の基板上に直接実装されるオンボードタイプのメモリモジュールと、スロットに挿入して実装するタイプのメモリモジュールとを併用する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2000-073414
受付番号	50000314870
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 3月17日

<認定情報・付加情報>

【提出日】	平成12年 3月16日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝